

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 7 日
Date of Application:

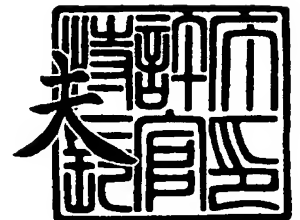
出 願 番 号 特 願 2 0 0 3 - 0 3 8 8 8 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 3 8 8 8 8]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 3 年 1 2 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2_0_0 3 - 3 1 0 6 3 5 6

【書類名】 特許願

【整理番号】 P006973

【提出日】 平成15年 2月17日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 物江 滋春

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 横島 尚

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 笹川 慎也

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

半導体層を形成し、
前記半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に第 1 導電膜層を形成し、
前記第 1 導電膜層上に第 2 導電膜層を形成し、
前記第 1 導電膜層及び第 2 導電膜層をエッチングして、第 1 の導電層パターンを形成し、
三塩化ホウ素、塩素及び酸素プラズマを用いて、前記第 1 の導電層パターンにおける第 2 導電膜層を選択的にエッチングして、第 2 の導電層パターンを形成し、
前記半導体層に、第 1 の不純物領域及び第 2 の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

半導体層を形成し、
前記半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に第 1 導電膜層を形成し、
前記第 1 導電膜層上に第 2 導電膜層を形成し、
前記第 2 導電膜層上に第 3 導電膜層を形成し、
前記第 1 導電膜層、前記第 2 導電膜層及び第 3 導電膜層をエッチングして、第 1 の導電層パターンを形成し、
三塩化ホウ素、塩素及び酸素プラズマを用いて、前記第 1 の導電層パターンにおける前記第 2 導電膜層及び前記第 3 導電膜層を選択的にエッチングして、第 2 の導電層パターンを形成し、
前記半導体層に、第 1 の不純物領域及び第 2 の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 または請求項 2 において、前記第 1 の導電層パターンは、端部がテーパー形状であるように形成することを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、前記第 1 導電膜層は、窒化タンタルを用いて、前記第 2 導電膜層は、チタン、又は、チタンを主成分とする合金もしくは化合物を用いて形成することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、前記第 2 の導電層パターンを構成する前記第 2 の導電膜層の端部、または前記第 2 の導電膜層及び前記第 3 の導電膜層の端部は、前記第 1 の導電膜層の端部より内側に位置するように形成することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、前記第 1 の不純物領域及び前記第 2 の不純物領域は、前記第 2 の導電層パターンをマスクとして前記半導体層に不純物をドーピングすることにより形成することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、前記第 2 の不純物領域を前記第 2 の導電層パターンにおける前記第 1 導電膜層と重なる領域に形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の作製方法に関し、特にエッチングによるそのゲート電極の加工方法により、半導体層に不純物領域を形成する技術を特徴とする。

【0002】

【従来の技術】

液晶を用いた表示装置は、液晶テレビ受像機に代表されるように 20 インチを超える大型画面の部品が実用化されている。近年では多結晶シリコン膜を活性層

に用いた T F T で、駆動回路一体型も液晶表示装置が実現されている。

【0003】

しかし、多結晶シリコン膜を用いた薄膜トランジスタ (T F T : Thin Film Transistor) はドレイン接合耐圧が低く、接合漏れ電流(以下、オフリーク電流と呼ぶ)が大きくなるという欠点が指摘されている。その対策として、低濃度ドレイン (L D D : Lightly Doped Drain) 構造を形成することが有効であることが知られている。

【0004】

また、ドレイン領域近傍での高電界が生じ、発生したホットキャリアが L D D 領域上のゲート絶縁膜にトラップされ、しきい値電圧など素子特性が大幅に変動し、低下する現象が問題として指摘されている。そのようなホットキャリアによる劣化を防止するために、L D D 領域がゲート電極とオーバーラップした T F T が開示されている(例えば、特許文献1参照。)。ゲートオーバーラップ L D D 構造の T F T は、通常の L D D 構造の T F T と比較して電流駆動能力が高く、ドレイン領域近傍での高電界を有効に緩和してホットキャリアによる劣化を抑止できる。

【0005】

【特許文献1】

特開 2000-294787 号公報

【0006】

しかしながら、上記特許文献1に開示されたゲートオーバーラップ L D D 構造の T F T は、L D D を形成する不純物領域を半導体層に形成した後、ゲート電極を重ね合わせて作製する。よって、設計ルールが縮小していくと、ゲート電極とのオーバーラップ量を正確に作り込むことができなくなる。

【0007】

一方、自己整合的にゲートオーバーラップ L D D 構造の T F T を作製する方法として、少なくとも二層積層した導電層を1回の光露光処理と複数回のエッチング加工により、上層部と下層部の導電層の寸法を異ならせ、その寸法差と膜厚差を利用してイオンドーピングすることにより自己整合的にゲート電極とオーバー

ラップする LDD 領域を形成する技術が開示されている（例えば、特許文献 2 参照。）。

【0008】

【特許文献 2】

特開 2002-14337 号公報

【0009】

【発明が解決しようとする課題】

ホットキャリアに起因する TFT 特性の劣化対策としてゲート電極とオーバーラップする LDD の機能を最大限に発揮させるためには、TFT の駆動電圧に応じて LDD の長さ（チャンネル長に対する長さ）を最適化することが好ましい。そこで、LDD の長さ（チャンネル長に対する長さ）を、ドレイン領域近傍の高電界を有効に緩和する最適な長さに調節する必要がある。

【0010】

ゲート電極とオーバーラップする LDD の長さは、そのイオンドーピング時のマスクとなる導電層の形状によって制御される。マスクは、二層積層された導電層をエッチング加工し、導電層のうち、上層のみを選択的に異方性エッチング加工して形成される。よって異方性エッチング加工で、導電層を形成する材料の選択比が高いことが重要となる。

【0011】

つまり、エッチングガスと被加工物である材料との関係を考慮する必要がある。選択比が低いと、エッチングの不要な個所をエッチングしてしまい望む形状を得られない、個々の形状が不均一である、といった問題がある。また、エッチング加工工程の条件の制御も正確にできない。よって半導体装置の信頼性は低下し、また、歩留まりも悪くなってしまう。

【0012】

よって本発明は、エッチング加工の選択比を高め、ホットキャリア等による半導体装置の特性劣化を防止し、良好で均一な特性を持つ半導体装置を歩留まり良く作製する方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

本発明の半導体装置の作製方法は、半導体層を形成し、前記半導体層上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1導電膜層を形成し、前記第1導電膜層上に第2導電膜層を形成し、前記第1導電膜層及び第2導電膜層をエッチングして、第1の導電層パターンを形成し、三塩化ホウ素、塩素、酸素プラズマを用いて、前記第1の導電層パターンにおける第2導電膜層を選択的にエッチングして、第2の導電層パターンを形成し、前記半導体層に、第1の不純物領域及び第2の不純物領域を形成することを特徴とする。

【0014】

本発明の半導体装置の作製方法は、半導体層を形成し、前記半導体層上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1導電膜層を形成し、前記第1導電膜層上に第2導電膜層を形成し、前記第2導電膜層上に第3導電膜層を形成し、前記第1導電膜層、前記第2導電膜層及び第3導電膜層をエッチングして、第1の導電膜層パターンを形成し、三塩化ホウ素、塩素、酸素プラズマを用いて、前記第1の導電層パターンにおける第2導電膜層及び第3導電膜層を選択的にエッチングして、第2の導電層パターンを形成し、前記半導体層に、第1の不純物領域及び第2の不純物領域を形成することを特徴とする。

【0015】

上記方法において、前記第1の導電膜層パターンにおける第2導電膜層、または第2導電膜層及び第3導電膜層を選択的にエッチングする際、三塩化ホウ素、塩素、酸素プラズマを用いることによって、第1導電膜層と、第2導電膜層及び第3導電膜層を選択性良くエッチングすることができる。この選択比の高さにより、望む形状の第2の導電層パターンを得られ、ホットキャリア劣化を防ぐ効果のある不純物領域の範囲を正確に制御し、均一で良好な性質を有する信頼性の高い半導体装置を歩留まり良く作製することができる。

【0016】

上記方法において、第1の導電層パターンにおける第2導電層を選択的にエッチングして、第1導電膜層と第2導電膜層のチャネル長方向の幅が異なる第2の導電層パターンを形成することができる。これを電界で加速されたイオンの遮蔽

マスクとして用いることで、半導体層に第1の不純物領域と第2の不純物領域を形成することができる。このとき第2の不純物領域は第1導電膜層に重なる領域に、第1の不純物領域は第1導電膜層に重ならない領域にそれぞれ形成される。

【0017】

第2の導電層パターンを構成する第2または第3導電膜層の端部が、第1の導電膜層の端部より内側に位置するように第2の導電層パターンを形成すると、第1導電膜層に重なる第2の不純物領域は、第1の不純物領域より低濃度な、低濃度不純物領域とすることができる。即ち、自己整合的に低濃度ドレイン領域を形成することができる。このゲート電極とオーバーラップするLDD領域によって、ホットキャリア等による半導体装置の特性劣化を防止し、寿命時間を長大することができる。勿論、第2の導電層パターンはゲート電極として用いることができる。

【0018】

また、半導体層に不純物元素をドーピングして自己整合的に不純物領域を形成することが可能となって、従来よりもマスク枚数を削減でき、マスク形成の際のトラブルも無くすることができる。従って、半導体装置の製造コスト、製造に要する時間も減少することができる。

【0019】

また、本明細書中では便宜上、導電層の側斜面が水平面となす角度をテーパ角（テーパ角度とも言う）と呼び、このテーパ角を有している側斜面をテーパ形状と呼び、テーパ形状を有している部分をテーパ部と呼ぶ。

【0020】

上記方法において、前記第1の導電層パターンは、端部がテーパ形状であるように形成することが望ましい。テーパ形状にすることによってエッチングの際に、反応副生成物が被加工物に付着することを防ぐことができる。よって良好な形状を得ることができる。

【0021】

上記発明の構成において、適した第1導電膜層と第2導電膜層の組み合わせは、第1導電膜層は窒化タンタルであり、第2導電膜層はチタン、又は、チタンを

主成分とする合金もしくは化合物である。これらの材料を用いると、三塩化ホウ素/塩素/酸素プラズマによるエッチングの際、より高い選択比でエッチングすることができ、効果的である。また、チタンは広く用いられているコストの高いタングステンより、コストも安いいため、低コストで半導体装置を作製できる。

【0022】

本明細書において、第1の導電層パターンを形成するエッチングをテーパーエッチング加工、第2の導電層パターンを形成するエッチングを異方性エッチング加工と呼ぶ。またゲート電極とオーバーラップする不純物領域(LDD)のチャネル方向の長さを L_{ov} と呼ぶ。

【0023】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。尚、本発明は以下に示す実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容するものである。

【0024】

本出願人によれば、ホットキャリアに対する劣化を制御するために必要なゲート電極とオーバーラップするLDDの長さ(L_{ov})については以下のように考察されている。

【0025】

まず、TFETの劣化に対して L_{ov} が所定の値である場合に、電界効果移動度の最大値が10%低下する時間を寿命時間と定義して、図9で示すようにドレイン電圧の逆数を片対数グラフにプロットして得られる直線的な関係から、寿命時間が10年となる電圧を10年保証電圧として導出する。たとえば、図9において、 L_{ov} が $1.0\mu\text{m}$ のTFETにおける10年保証電圧は16Vである。図10はこのようにして求めた推定保証電圧を、 L_{ov} が $0.5\mu\text{m}$ 、 $0.78\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $1.5\mu\text{m}$ 、 $1.7\mu\text{m}$ のそれぞれの場合における値をプロットしたグラフである。また、図10では、バイアスストレス試験で、TFETのオン電流値が10%変動するまでの時間が20時間となるドレイン電圧値を20時間保証電圧として示している。

【0026】

ホットキャリア効果による劣化は、駆動電圧が低ければほとんど問題とならないが、10 V以上で駆動する場合には無視出来なくなる。図10から明らかなように、駆動電圧が16 Vである場合には、 L_{ov} が1 μ m以上、好ましくは1.5 μ m以上とする必要があることを示している。

【0027】

よって本実施の形態では、チャネル長10 μ m程度のTFETが10～20 Vで駆動するのに必要な長さである1～1.5 μ mの L_{ov} を持つ半導体装置を作製する。しかし、この長さはチャネル長や駆動電圧に応じて実施者が適宜設定すれば良く、本実施の形態に限定されない。本発明の半導体装置の作製方法を用いれば、 L_{ov} の長さは正確に制御でき、良質な特性を有する信頼性の高い半導体装置が歩留まりよく作製できる。

【0028】

図1 (A) においてガラス基板100上に第1絶縁膜（下地膜）101、半導体層102、第2絶縁膜（ゲート絶縁膜）103が形成され、その上に第1導電層104、第2導電層105、第3導電層106が形成されている。マスクパターン107は光露光工程によりフォトレジストを用いて形成する。

【0029】

第1導電層はタングステン (W)、クロム (Cr)、タンタル (Ta)、窒化タンタル (Ta₂N₅) またはモリブデン (Mo) などの高融点金属を30～50 nmの厚さで形成し、第2導電層はチタン又はチタンを主成分とする合金もしくは化合物で300～600 nmの厚さに形成する。

【0030】

第3導電層は窒化チタン (TiN)、タングステン (W) などの金属を用いる。ただし第3導電層は第3導電層の上に成膜する層間膜にコンタクトホールを開孔するときのストッパー膜として設けるものであり、本発明の構成において必須の構成要件とはならない。窒化チタン (TiN) はチタンと同じエッチングガスで加工できるので、第1導電層を窒化タンタル (Ta₂N₅) とする組み合わせにより、選択的に加工が可能である。

【0031】

次に、図1（B）に示すように、ドライエッチングにより第2導電層105と第3導電層106のエッチングを行う。エッチングガスには、 CF_4 、 SF_6 のようなフッ素系ガス、 Cl_2 、 BCl_3 のような塩素系ガス、及び O_2 の中から選んで組み合わせて用いる。エッチング速度の向上にはECR（Electron Cyclotron Resonance）やICP（Inductively Coupled Plasma）などの高密度プラズマ源を用いたドライエッチング装置を用いる。

【0032】

次に、図1（C）に示すようにエッチングガスを CF_4 、 Cl_2 に切り替えて第1導電層104である窒化タンタルのエッチングを行う。このように二段階のエッチング加工を行うと、下地が酸化珪素であると触刻されて極端に薄くなるのを防ぐ効果がある。

【0033】

勿論、導電層の全層を同時にエッチングし、図1（C）の状態を得ても良い。この場合膜厚の厚い第2導電層105のエッチング時にはエッチング速度のバラツキを見込んでエッチング時間を長めに設定する必要がある。ドライエッチングにより第1導電層104と第2導電層105と第3導電層106のエッチングを一回で行う。エッチングガスには、 CF_4 、 SF_6 、 Cl_2 、 BCl_3 、 O_2 などを用いる。エッチング速度の向上にはECR（Electron Cyclotron Resonance）やICP（Inductively Coupled Plasma）などの高密度プラズマ源を用いたドライエッチング装置を用いる。また、マスクパターンに基づく加工形状において、端部もしくは側壁部をテーパ形状に加工するためには、基板側に負のバイアス電圧を印加する。

【0034】

レジストで形成したマスクパターン707は電界で加速されたイオンによりスパッタされ、反応副生成物が被加工物の側壁に付着する。これは側壁保護膜とも呼ばれるが、この段階の加工で被加工物をテーパ形状とする理由は、この側壁保護膜の排除である。つまり、図7（A）で示すようにテーパ部を有する被加工物705に対し、その後異方性エッチングを行っても反応副生成物が側壁に堆

積しにくいので、図7 (B) に示すように残渣をなくすことなくエッチング加工して705'のパターンを形成することができる。これに対し図8 (A) のように被加工物805の側壁がほぼ垂直であるとエッチング加工時に反応副生成物が堆積し、図8 (B) で示すようにその後異方性エッチングしても、その反応副生成物が残ってしまい形状不良となる。すなわち、被加工物をテーパ形状に加工しておくことで側壁保護膜を排除することができる。よって本実施の形態では、この段階の加工で被加工物である導電層をテーパ形状とする。

【0035】

こうして図1 (C) で示すように、第2絶縁膜103上に第1導電層104'、第2導電層105'、第3導電層106' からなる第1の導電層パターン108が形成される。端部におけるテーパ形状の基板100の表面と成す角度は10～30度にする。この角度は主に第2導電層の膜厚との関係で決まるが、このテーパ部の占める長さが概略0.5～1.5 μm となるようにする。

【0036】

各導電膜をテーパ加工した後、アルゴンプラズマ処理することによって、テーパ側壁部付着していた反応生成物を除去してもよい。このアルゴンプラズマ処理を行なうと、第2導電層端部のエッチング残りが防止でき、後の異方性エッチング加工で垂直に近い形状が形成されやすい。

【0037】

そして、エッチングガスに、 BCl_3 、 Cl_2 、 O_2 を用いて、第2導電層105'及び第3導電層106'をマスクパターン107'に基づいて選択的にエッチングする。この場合、基板側に印加するバイアス電圧は低くして第1導電層104'は残存せしめるようにする。第2導電層105'の端部は第1導電層104'よりも内側に後退し、後述するようにその後退量で L_{ov} の長さが決まる。こうして第1導電層104'、第2導電層105'、第3導電層106'からなる第2の導電層パターン109が形成され、これが半導体層102と交差する部位においてゲート電極となる。(図1 (D))

【0038】

第2の導電層パターン作製時のエッチング加工に、 BCl_3 、 Cl_2 、 O_2 から

なるエッチングガスを用いることにより、第1導電膜104'と第2導電層105'及び第3導電層106'の選択比が大きくなる。選択性が良くなることによって、第1の導電層104'までエッチングしてしまうことなく、 L_{ov} の長さの正確な制御ができるようになる。よって、ホットキャリアによる半導体装置の特性劣化を防止し、良好で均一な特性を持つ半導体装置を歩留まり良く作製することが出来る。

【0039】

半導体層103への一導電型不純物の添加、すなわちLDDやソース・ドレイン領域の形成は、第2の導電層パターン109を用いて自己整合的に形成することができる。図2(A)はゲート電極とオーバーラップするLDDを形成するためのドーピング処理であり、一導電型不純物のイオンを第1導電層104'を透過させて、その下層部に位置する半導体層102に添加して第1濃度の一導電型不純物領域110を形成する。第2絶縁層や第1導電層の膜厚にもよるが、この場合には50kV以上の加速電圧を要する。第1濃度の一導電型不純物領域110の不純物領域の不純物濃度は、LDDを前提とすると $1 \times 10^{16} \sim 5 \times 10^{18}/\text{cm}^3$ (ピーク値) とする。

【0040】

ソース・ドレイン領域を形成するドーピング処理は、第2の導電層パターン109をイオンの遮蔽マスクとして用い、第1濃度の一導電型不純物110の外側に第2濃度の一導電型不純物領域111を形成する。この場合には加速電圧を30kV以下として行なう。第2濃度の一導電型不純物領域111の不純物濃度は $1 \times 10^{19} \sim 5 \times 10^{21}/\text{cm}^3$ (ピーク値) とする。

【0041】

その後、窒化珪素を用いる第3絶縁層112、低誘電率の有機化合物材料を用いた第4絶縁膜113、配線114を形成する。

【0042】

以上のように、本実施の形態は、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ(L_{ov})を必要とする長さに調整することができる。また本発明によ

り、ゲート電極とオーバーラップする L D D 領域の長さを正確に制御することができるようになり、ホットキャリア劣化に対する寿命時間を長大し、信頼性の高い半導体装置を歩留まり良く作製できる。

【0043】

【実施例】

（実施例 1）

本実施例は、実施形態 1 に基づく工程に従って、ゲート電極を加工する一例について示す。本実施例は図 1 を参照して説明する。

【0044】

本実施例では、チャンネル長 $10\ \mu\text{m}$ 程度の T F T が $10\sim 20\text{ V}$ で駆動するのに必要な長さである $1\sim 1.5\ \mu\text{m}$ の L_{ov} を持つ半導体装置を作製する。しかし、この長さはチャンネル長や駆動電圧に応じて実施者が適宜設定すれば良く、本実施例に限定されない。本発明の半導体装置の作製方法を用いれば、 L_{ov} の長さは正確に制御でき、良質な特性を有する信頼性の高い半導体装置が歩留まりよく作製できる。

【0045】

まず、アルミノシリケートガラス基板 100 上にプラズマ C V D 法で 150 nm の酸化珪素膜で第 1 絶縁層 101 を形成する。半導体層 102 は 50 nm の非晶質珪素膜をレーザーアニールにより結晶化した結晶性珪素膜で形成し、島状に孤立分離するように形成する。第 2 絶縁膜 103 は、 SiH_4 と N_2O をソースガスとしてプラズマ C V D 法により 115 nm の酸化珪素膜を形成する。窒化タンタル (T a N) で形成する第 1 導電層 104 は 30 nm の厚さとし、チタンで形成する第 2 導電層 105 は 320 nm の厚さとし、窒化チタンで形成する第 3 導電層 106 は 50 nm で形成する。マスクパターン 107 はポジ型のフォトリジストで $1.5\ \mu\text{m}$ の厚さに形成する。マスクパターンの幅は適宜設定すれば良いが、本実施例においては $4.5\ \mu\text{m}$ と $10\ \mu\text{m}$ のマスクパターンで光露光形成した。(図 1 (A))

【0046】

次に、ドライエッチングにより第 2 導電層 (チタン) 105 と第 3 導電層 (窒

化チタン) 106のエッチングを行う。エッチングにはICPエッチング装置を用いる。図3はICPエッチング装置の構成を示す。反応室801にはエッチング用のガス供給手段803、反応室内を減圧状態に保持する排気手段804が連結されている。プラズマ生成手段は反応室801に石英板を介して誘導結合するスパイラルコイル802、高周波(13.56MHz)電力供給手段805から成っている。基板側へのバイアス印加は高周波(13.56MHz)電力供給手段806で行ない、基板を載置するステージに自己バイアスが発生するような構成となっている。エッチング加工には供給するエッチングガス種と、高周波(13.56MHz)電力供給手段806、807より供給されるそれぞれの高周波電力、エッチング圧力が主なパラメーターとなる。

【0047】

図1(B)のエッチング加工には、エッチングガスとして CF_4 、 SF_6 、 Cl_2 、 BCl_3 、 O_2 を用いる。エッチング圧力は1.3Paとし、500Wのプラズマ生成用の電力、300Wの基板バイアス用の電力を供給する。続いて図1(C)に示すようにエッチングガスを CF_4 、 Cl_2 に切り替えて第1導電層である窒化タantalのエッチングを行う。この時のエッチング条件は、エッチング圧力1.5Pa、500Wのプラズマ生成用の電力、10Wの基板バイアス用の電力を供給する。以上のようにして、第1導電層パターン108が形成することができる。

【0048】

また、導電層108の形成を1段階のエッチングで行ってもよい。この場合エッチング加工には、エッチングガスとして、 CF_4 、 SF_6 、 Cl_2 、 BCl_3 、 O_2 を用いる。エッチング圧力は1.3Paとし、800Wのプラズマ生成用の電力、300Wの基板バイアス用の電力を供給する。以上のようにして、第1の導電層パターン108が形成することができる。

【0049】

その後、第1導電層パターン108のテーパー側壁部に付着しているストッパー膜とされる反応生成物(TiO_x)を除去又は減少させるためアルゴンプラズマ処理を行ってもよい。このアルゴンプラズマ処理は同様にICPエッチング装置を用い、アルゴンを150sccm供給し、2.0Paの処圧力で450Wのプラズマ

生成用の電力、100Wの基板バイアス用の電力を供給し30secの処理を行う。

【0050】

次に、エッチングガスにBCl₃、Cl₂、O₂を用いて異方性エッチングを行なう。主として第2導電層105'の加工を行う。エッチング圧力は1.9Paとし、500Wのプラズマ生成用の電力、10Wの基板バイアス用の電力を供給する。第2導電層105'の端部は第1導電層104'よりも内側に後退する。こうして第2の導電層パターン109が形成され、これが半導体層102と交差する部位においてゲート電極となる。そして、第1導電層104'の端部からの後退幅は1μm以上とすることが可能である。図4で示すようにこの後退幅dがLov長を決める長さとなる。表1は本実施例と同様の工程の異方性エッチング加工においてCF₄、Cl₂、O₂系ガスを用いた場合と、BCl₃、Cl₂、O₂系ガスを用いた場合とのチタンおよび窒化タングステンのエッチングレートおよび選択比を比較した表である。

【0051】

【表1】

	エッチレート(A/min)								選択比									
	ICP		Bias	Press	SF ₆	CF ₄	BCl ₃	Cl ₂	O ₂	W		TaN		SiO ₂		W/TaN		
	W	W	Pa	sccm	sccm	sccm	sccm	sccm	sccm	AVE	p.n.u	AVE	p.n.u	AVE	p.n.u	AVE	p.n.u	
条件①	700	4	2.0	24					12	24	4822	8.2%	1015	8.0%	301	7.5%	4.77	14.6%

	ICP		Bias	Press	SF ₆	CF ₄	BCl ₃	Cl ₂	O ₂	Ti		TaN		SiO ₂		Ti/TaN	
	W	W	Pa	sccm	sccm	sccm	sccm	sccm	sccm	AVE	p.n.u	AVE	p.n.u	AVE	p.n.u	AVE	p.n.u
	条件②	500	10	1.9		0			80	0	129	49.8%	835	50.8%	41	27.4%	0.16
条件③	700	10	1.9		0			80	0	490	79.3%	1087	66.3%	37	41.0%	0.47	89.2%
条件④	500	40	1.9		0			80	0	(9600)	※1	2755	9.0%	225	7.7%	(3.89)	—
条件⑤	500	10	1.9		10			70	0	(12000)	※2	775	26.0%	224	9.5%	(20.58)	—
条件⑥	500	10	1.9		10			65	5	545	69.9%	257	52.6%	230	9.7%	2.08	49.2%
条件⑦	500	10	1.9			65	10	8.5		6566	8.6%	251	120.7%	64	10.9%	38.25	92.0%
条件⑧	500	10	1.9			70	10	0		3534	16.6%	220	67.5%	123	10.0%	25.03	145.1%
条件⑨	500	10	1.9			35	40	8.5		4903	79.2%	161	65.8%	10	126.3%	63.82	180.7%
条件⑩	700	10	1.9			65	10	8.5		7315	11.8%	211	47.6%	90	11.7%	37.57	50.8%

再現性確認																	
条件⑦再	500	10	1.9			65	10	8.5	5082	7.2%	102	30.4%	64	10.9%	50.91	27.3%	
条件⑩	500	10	1.9			60	15	8.5	5929	6.3%	125	25.5%	56	15.9%	48.71	30.5%	

※1 15秒エッチングしたところ段差なし(=エッチングされていない)
50秒エッチングしたところで成膜したメタル8000Åが全て消失した
※2 40秒エッチングしたところで成膜したメタル8000Åが全て消失した

【0052】

表1から明らかなように第1導電層が窒化タングステン、第2導電層がチタン、第3導電層が窒化チタンである積層体において、前述第2の導電層パターンを形成す

るための異方性エッチングでのエッチングガスに BCl_3 、 Cl_2 、 O_2 系ガスを用いることは、窒化タンタルに対するチタンの選択比が高い。

【0053】

図5はチタンとタンタルのフッ化物、塩化物の蒸気圧を示している。図5によると蒸気圧は、 $\text{TiF}_4 < \text{TaF}_5$ 、 $\text{TiCl}_4 > \text{TaCl}_5$ であり、フッ素系ガスよりも塩素系ガスを主体にしてエッチングを行うことでチタン（Ti）がエッチングされやすく窒化タンタル（Ta₃N₄）がエッチングされずらくなるということが推測できる。つまり塩素系ガスを異方性エッチングに用いることで、窒化タンタルに対するチタンの選択比が高いエッチング特性が得られる。

【0054】

第2導電層105'（チタン）の端部の表面は酸化されて酸化チタン（ TiO_x ）となっているため、異方性エッチングのエッチングガスにフッ素系ガスや塩素を用いた場合は、表面の酸化チタン（ TiO_x ）がエッチングされずらいためエッチング加工が困難となる。そのため表1の CF_4 、 Cl_2 、 O_2 系ガスを用いたエッチングでは、チタンのエッチレートの測定結果が極端に低かったり、かと言ってエッチング時間を延ばすと表面の酸化チタン（ TiO_x ）がエッチングされ終わったあとはチタンが高速でエッチングされてしまうという事態に陥る。しかし BCl_3 を用いた場合は、表面の酸化チタン（ TiO_x ）を容易にエッチングするのでエッチング加工が容易になる。

【0055】

図6は異方性エッチング加工に BCl_3 、 Cl_2 、 O_2 ガスを用いてエッチングした場合の代表的な加工形状を示す走査電子顕微鏡（SEM）像である。下層から窒化タンタル層、チタン層が積層形成されている状態を示している。同図は斜方から観察したSEM像であるが、チタン層の後退幅もしくは窒化タンタル層の突出幅は1.1～1.5 μm 程度と見込まれている。よって本発明により、Lovを正確に制御することができることが確認された。

【0056】

以降、LDDを形成する第1濃度の一導電型不純物領域110に $1 \times 10^{16} \sim 5 \times 10^{18}/\text{cm}^3$ （ピーク値）の濃度でリンまたはボロンを50kVの加速電圧でイ

オンドーピング処理により添加する。(図2 (A))

【0057】

さらに、ソース・ドレイン領域を形成するドーピング処理は、第2の導電層パターン109をイオンの遮蔽マスクとして用い、第1濃度の一導電型不純物領域110の外側に第2濃度の一導電型不純物領域111を形成する。この場合には加速電圧を10kVとして、リン又はボロンの濃度を $1 \times 10^{19} \sim 5 \times 10^{21}/\text{cm}^3$ (ピーク値)として形成する。(図2 (B))

【0058】

その後、プラズマCVD法で水素を含有する酸化珪素を100nmの厚さで形成し、感光性または非感光性のアクリルまたはポリイミド樹脂を1 μm の厚さに形成して第4絶縁膜113を形成する。さらに必要に応じて配線114を形成する。

【0059】

以上のように、本実例により、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ(L_{ov})を必要とする長さに調整することができる。ゲート電極とオーバーラップするLDD領域の長さを正確に制御することができるようになり、ホットキャリア劣化に対する寿命時間を長大し、信頼性の高い半導体装置を歩留まり良く作製できる。

【0060】

(実施例2)

本発明は様々な表示画面を設けた半導体装置に適用することができる。

【0061】

図12は表示パネル901を筐体900に組み込んだ半導体装置の一構成例であり、テレビ受信機やコンピュータのモニタシステムとして適用できるものである。筐体900には半導体集積回路で形成した増幅器や高周波回路、及びメモリ機能として半導体メモリもしくはハードディスクなど磁気メモリなどを組み込んで画像表示機能を充足させる電子回路基板902や音声を再生するスピーカ903が装着されている。

【0062】

表示パネル901は本発明に係るゲートオーバーラップTFTを用いて、TFTをマトリクス状に配列させてなるアクティブマトリクス画素回路904、走査線駆動回路905、データ線駆動回路906を一体形成したドライバー体型とすることができる。

【0063】

図11はアクティブマトリクス画素回路904の主要な構成を示す図である。半導体層301と交差するゲート電極302とデータ信号線303が同一層で形成されている。すなわち、少なくともチタンを主成分とする導電層を一層含む積層体で形成され、そのゲート電極もしくは配線のパターンを形成するエッチング加工は実施例1により行なうものである。これにより、 L_{ov} 長が $1\mu m$ 以上のゲートオーバーラップTFTを低コストで形成することが可能である。ゲート信号線304は層間絶縁膜を介してその上層に形成され、コンタクトホールを介してゲート電極302と接続する構成となっている。勿論、この配線もチタンおよびアルミニウムで形成可能である。データ信号線303と半導体層301を接続する配線305もゲート信号線304と同一層で形成可能である。画素電極306は酸化インジウムと酸化スズの化合物であるITO (Indium Tin Oxide) を用いて形成している。なお、このような画素の詳細については、特開2001-313397号公開で開示されている。

【0064】

本実施例では半導体装置の一例を示したが、本発明は本実施例に限定されず様々な半導体装置に適用することができる。例えば、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）に加え、冷蔵庫装置、洗濯機、炊飯器、固定電話装置、真空掃除機、体温計など家庭電化製品から、電車内の吊り広告、鉄道駅や空港の発着案内版などのインフォメーションディスプレイまで様々な分野に適用することができる。

【0065】

なお、本発明における実施例については以上のように示されているが、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるものである。

【0066】

【発明の効果】

本発明によって、半導体装置作製時におけるエッチング加工の選択性を高めることができる。この選択比の高さにより、望む形状のマスクパターンを得られ、ホットキャリア劣化を防ぐ効果のある不純物領域の範囲を正確に制御し、均一で良好な性質を有する信頼性の高い半導体装置を歩留まり良く作製することができる。

【0067】

また、半導体層に不純物元素をドーピングして自己整合的に不純物領域を形成することが可能となって、従来よりもマスク枚数を削減でき、マスク形成の際のトラブルも無くすることができる。従って、半導体装置の製造コスト、製造に要する時間も減少することができる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の作成工程を説明する断面図である。

【図2】 本発明の半導体装置の作成工程を説明する断面図である。

【図3】 ICPエッチング装置の構成を説明する図である。

【図4】 第2導電層の後退幅 d とゲートオーバーラップTF Tの L_{ov} 長の関係を説明する図である。

【図5】 チタンとタンタルのフッ化物、塩化物の蒸気圧を示す図である。

【図6】 実施例1に従いエッチング加工された導電層パターンの形状を示すSEM像である。

【図7】 テーパーエッチングによる反応副生成物除去効果を説明する図である。

【図8】 テーパーエッチングを行わない場合における反応副生成物の影響を説明する図である。

【図9】 バイアスストレス試験に基づくTF Tの寿命を推定する特性図であり

Lov依存性について示すグラフである。

【図 1 0】 推定保証電圧（オン電流 1 0 %劣化）の Lov長依存性を示すグラフである。

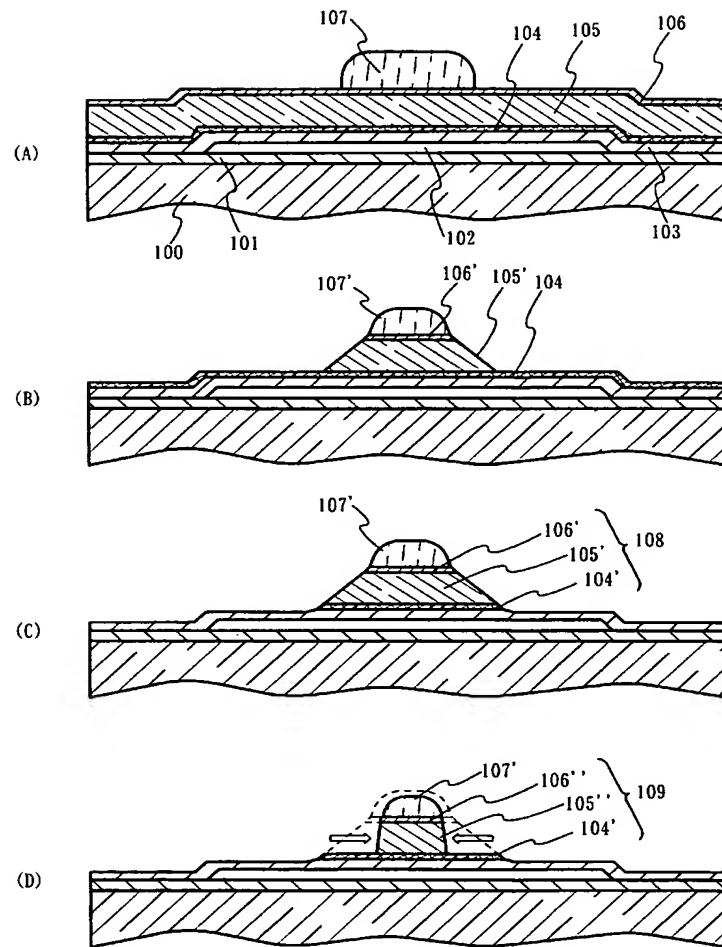
【図 1 1】 本発明に係る半導体装置のアクティブマトリクス型の画素を示す上面図である。

【図 1 2】 半導体装置の一例を示す図である。

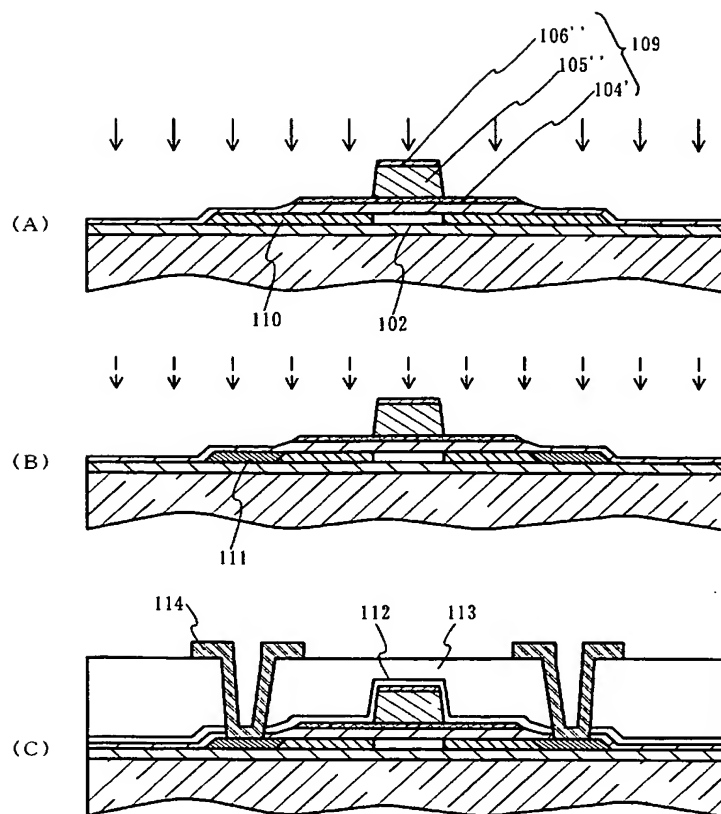
【書類名】

図面

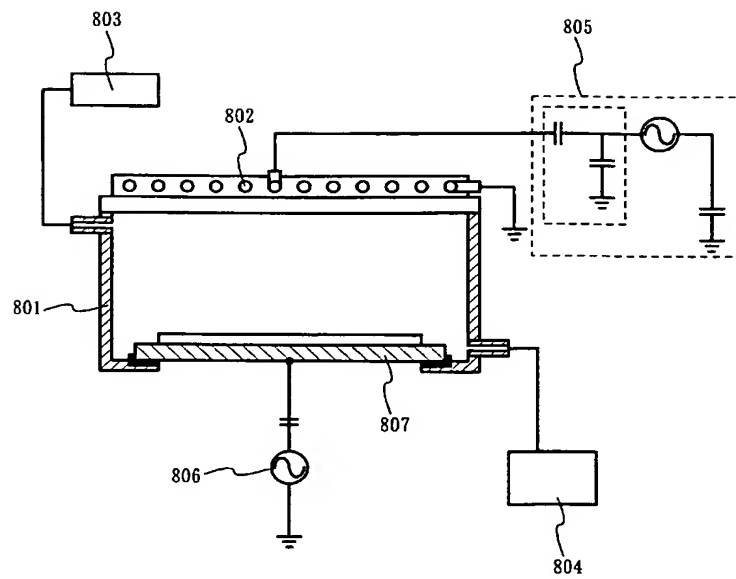
【図 1】



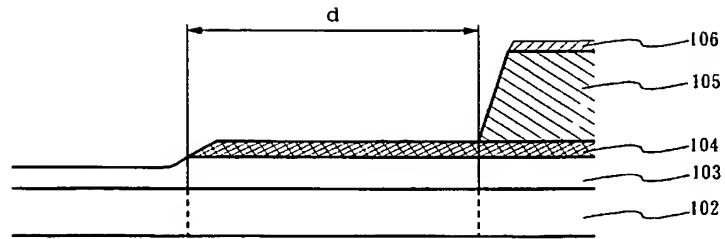
【図 2】



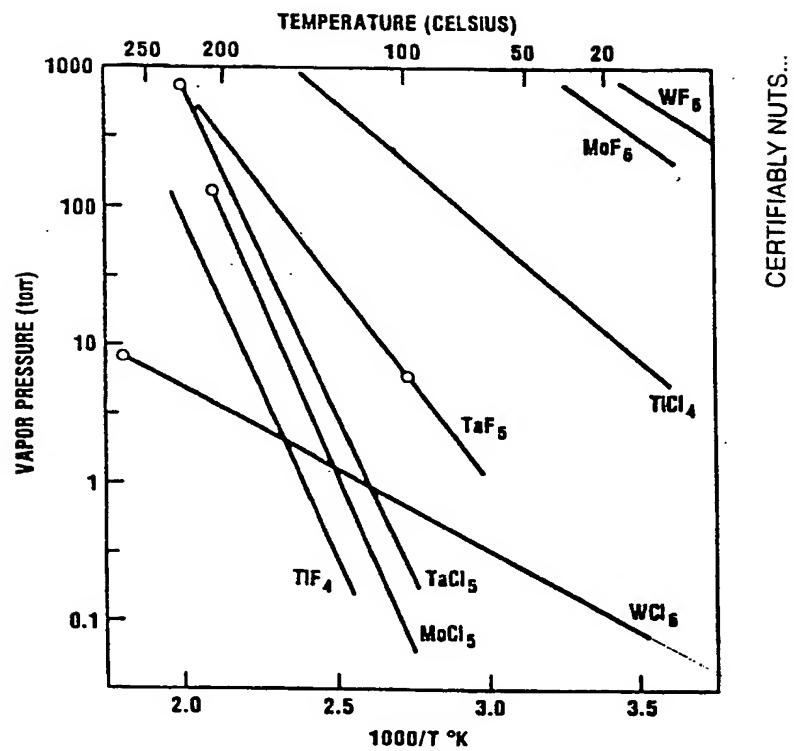
【図 3】



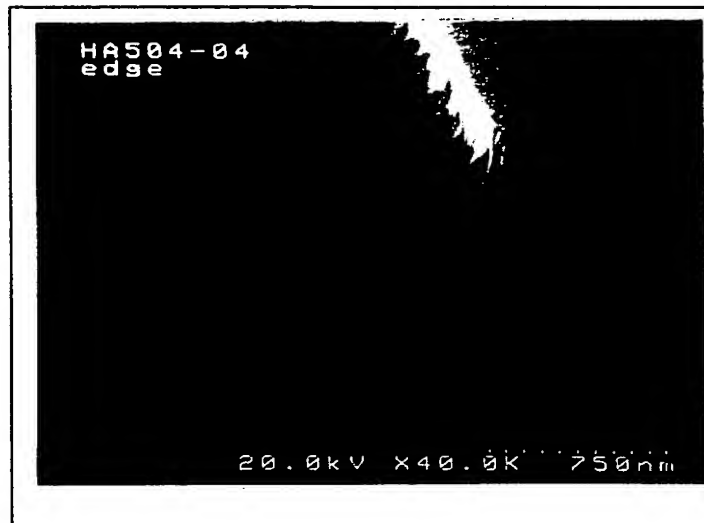
【図 4】



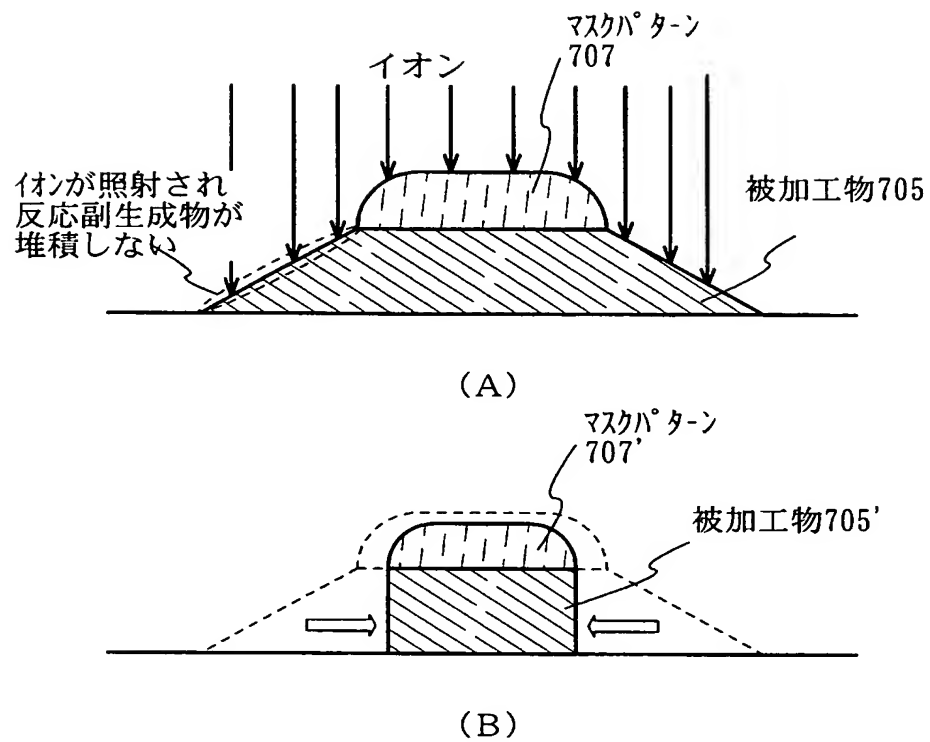
【図 5】



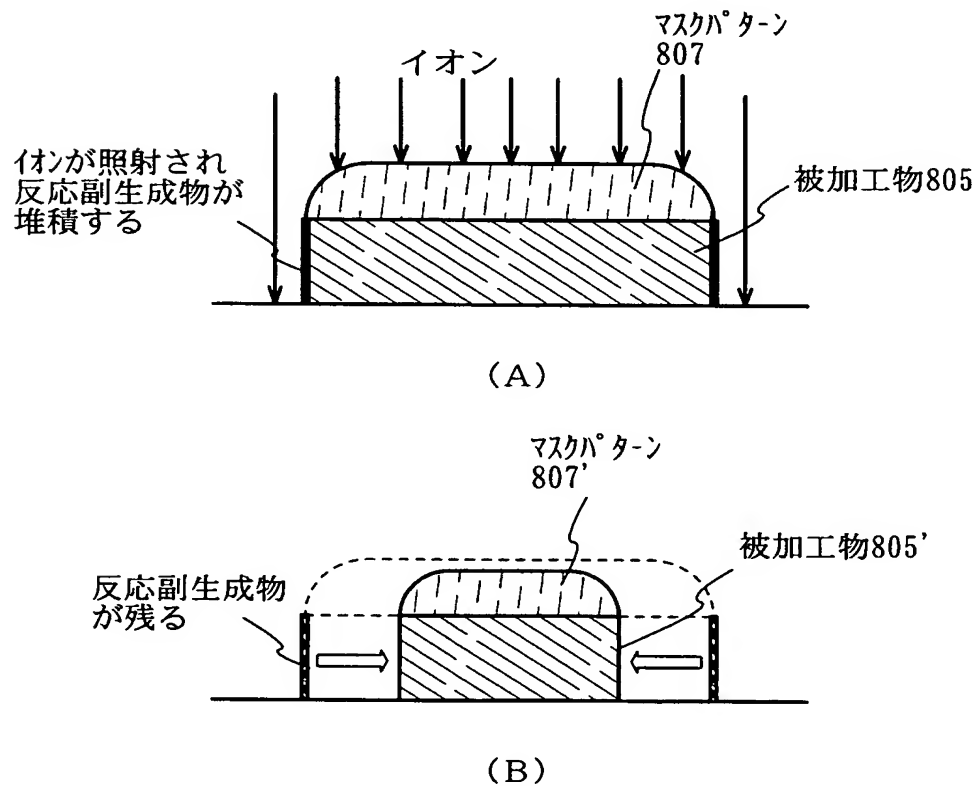
【図 6】



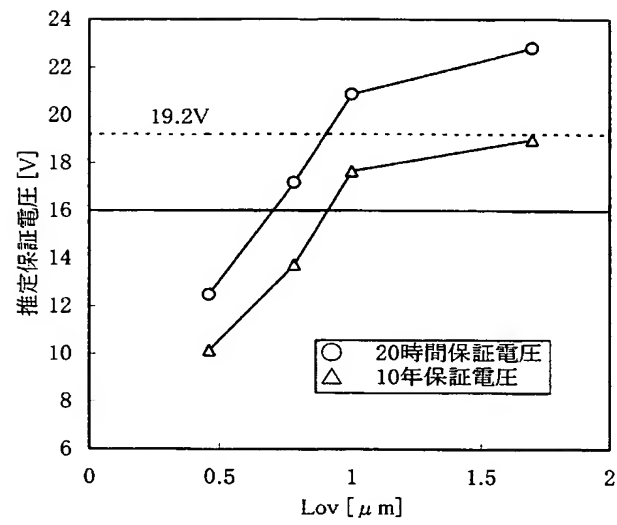
【図 7】



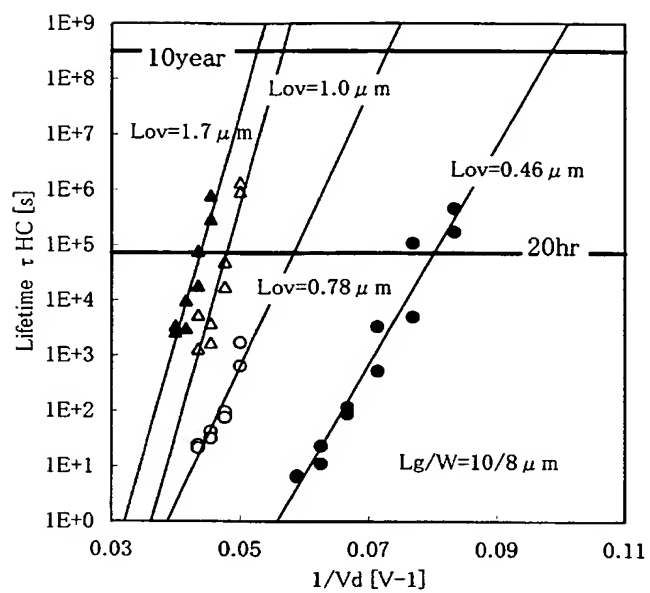
【図 8】



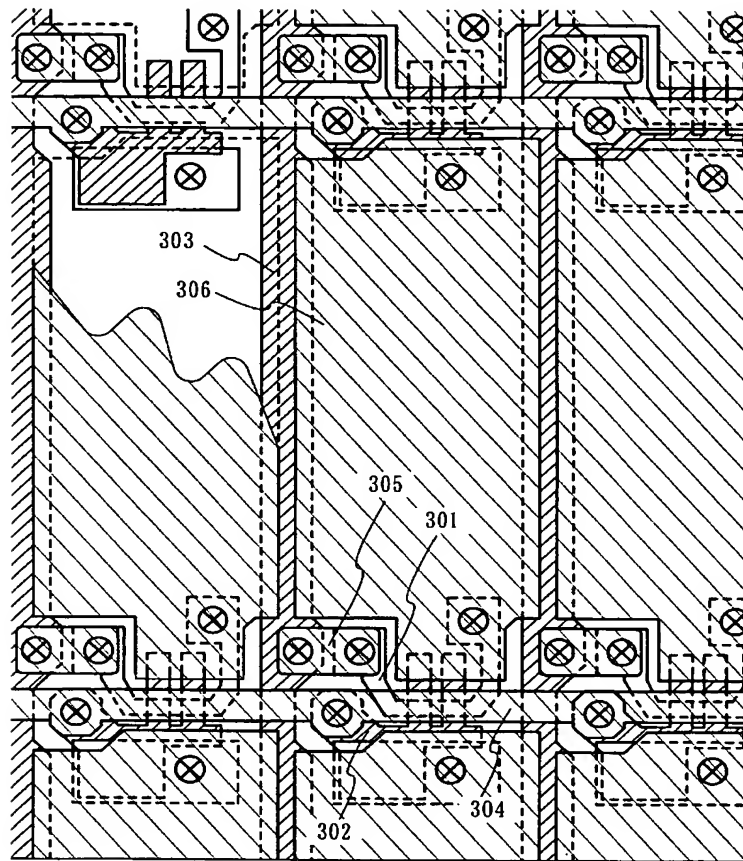
【図 9】



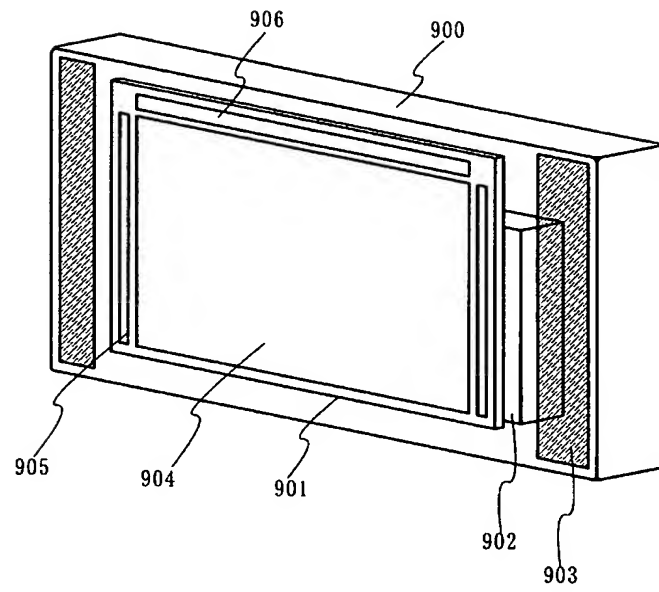
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 本発明は、エッチング加工の選択比を高め、良好で均一な特性を持つ半導体装置を歩留まり良く作製する方法を提供することを目的とする。

【解決手段】 本発明の半導体装置の作製方法は、半導体層を形成し、前記半導体層上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1導電膜層を形成し、前記第1導電膜層上に第2導電膜層を形成し、前記第1導電膜層及び第2導電膜層をエッチングして、第1の導電層パターンを形成し、三塩化ホウ素、塩素、酸素プラズマを用いて、前記第1の導電層パターンにおける第2導電膜層を選択的にエッチングして、第2の導電層パターンを形成し、前記半導体層に、第1の不純物領域及び第2の不純物領域を形成することを特徴とする。

【選択図】 図1

特願 2 0 0 3 - 0 3 8 8 8 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1 . 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所